

Japanese Patent Office
Patent Laying-Open Gazette

Patent Laying-Open No. 11-168199
Date of Laying-Open: June 22, 1999
International Class(es): H01L 27/108
21/8242
21/768

(10 pages in all)

Title of the Invention: SEMICONDUCTOR MEMORY DEVICE
AND MANUFACTURE THEREOF

Patent Appln. No. 9-347063
Filing Date: December 2, 1997
Inventor: Hideki TAKEUCHI
Applicant: NIPPON STEEL CORPORATION
(transliterated, therefore the
spelling might be incorrect)

Our Commentary on the Reference

An element forming region is formed on the main surface of a semiconductor substrate. A transistor including a gate electrode part and a pair of source/drain regions is formed on the element forming region. An interlayer dielectric film, a silicon oxide film and a silicon nitride film are formed on the semiconductor substrate to cover the transistor. A contact hole exposing a second one of the pair of impurity regions is formed through the silicon nitride film, the silicon oxide film and the interlayer dielectric film. Side wall oxide films are formed only on the side surfaces of the contact hole. A storage node consisting of a polysilicon film having a prescribed conductivity type is formed in the contact hole. The storage node is electrically connected with the second impurity region through the contact hole.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-168199

(43)公開日 平成11年(1999)6月22日

(51)Int.Cl.⁶
H01L 27/108
21/8242
21/768

識別記号

F I
H01L 27/10 621 B
21/90 A
27/10 681 D

審査請求 未請求 請求項の数18 F D (全10頁)

(21)出願番号 特願平9-347063

(22)出願日 平成9年(1997)12月2日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 武内 英樹

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

(74)代理人 弁理士 國分 孝悦

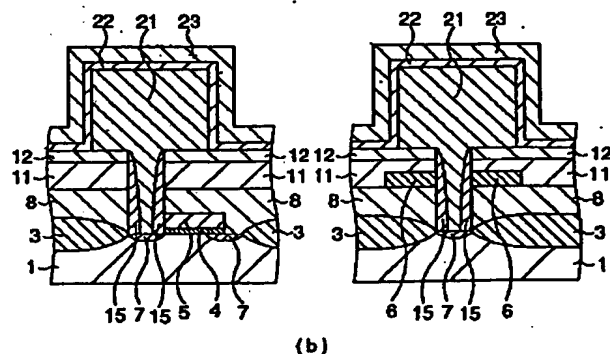
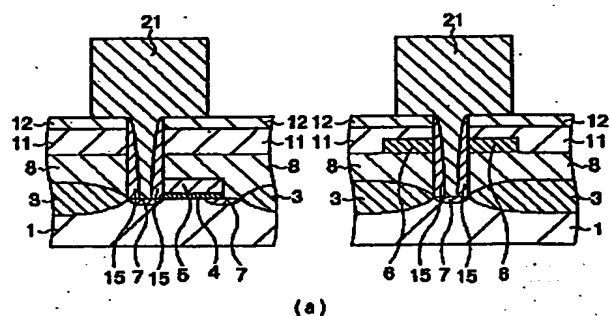
(54)【発明の名称】 半導体記憶装置及びその製造方法

(57)【要約】

【課題】 フォトリソグラフィーの合わせ余裕を十分に確保し、ワード線やビット線との短絡のないストレージノード電極を実現させる。

【解決手段】 シリコン窒化膜12、シリコン酸化膜11及び層間絶縁膜8を穿って不純物拡散層7(ソース)を露出させるストレージコンタクト孔13を形成した後、ストレージコンタクト孔13内にシリコン窒化膜12をストッパーとした異方性エッチングによりサイドウォール15を形成する。

【効果】 サイドウォール15の形成により、ストレージコンタクト孔13の孔径を最小露光寸法以下とすることができ、しかもストレージノード電極13とビット線6やゲート電極5との短絡が防止される。



【特許請求の範囲】

【請求項1】 半導体基板上で素子分離構造により画定された素子活性領域に、ゲート及び一对の不純物拡散層を有するアクセストランジスタと、下部電極と上部電極とが誘電体膜を介して対向して容量結合するメモリキャパシタとを備えた半導体記憶装置において、

前記アクセストランジスタを覆う第1の絶縁膜及び前記第1の絶縁膜上に形成された保護膜を穿って一方の前記不純物拡散層の表面の一部を露出させる開孔が形成されているとともに、前記開孔の側壁面を覆う第2の絶縁膜が形成されており、

前記メモリキャパシタの前記下部電極は、前記開孔を前記第2の絶縁膜を介して充填して前記一方の前記不純物拡散層と接続されるときに、前記保護膜を介して前記第1の絶縁膜上に島状に立設されていることを特徴とする半導体記憶装置。

【請求項2】 前記下部電極及び前記上部電極は、それぞれ多結晶シリコン膜からなることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記開孔は、前記第2の絶縁膜が存することによりその孔径がフォトリソグラフィーの露光限界以下の寸法とされていることを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項4】 前記保護膜がシリコン窒化膜であることを特徴とする請求項1～3のいずれか1項に記載の半導体記憶装置。

【請求項5】 前記保護膜が多結晶シリコン膜であり、当該保護膜が隣接する前記下部電極間で分断されていることを特徴とする請求項1～3のいずれか1項に記載の半導体記憶装置。

【請求項6】 前記下部電極の下部にビット線が形成されており、前記開孔の前記側壁面の少なくとも近傍に前記ビット線が位置し、前記第2の絶縁膜により前記下部電極と前記ビット線とが絶縁されていることを特徴とする請求項1～5のいずれか1項に記載の半導体記憶装置。

【請求項7】 前記素子分離構造がLOCOS法により形成されたフィールド酸化膜であることを特徴とする請求項1～6のいずれか1項に記載の半導体記憶装置。

【請求項8】 前記素子分離構造が絶縁膜内に導電膜が埋設されてなるフィールドシールド素子分離構造であることを特徴とする請求項1～6のいずれか1項に記載の半導体記憶装置。

【請求項9】 前記素子分離構造が前記半導体基板の素子分離領域に形成された溝内に絶縁膜が埋設されてなるトレンチ型素子分離構造であることを特徴とする請求項1～6のいずれか1項に記載の半導体記憶装置。

【請求項10】 半導体基板上で素子分離構造により画定された素子活性領域に、ゲート及び一对の不純物拡散層を有するアクセストランジスタと、下部電極と上部電

極とが誘電体膜を介して対向して容量結合するメモリキャパシタとを備えた半導体記憶装置の製造方法において、

前記アクセストランジスタを覆う第1の絶縁膜を形成する第1の工程と、

前記第1の絶縁膜上に保護膜を形成する第2の工程と、

前記第1の絶縁膜及び前記保護膜をパターンニングし、一方の前記不純物拡散層の表面の一部を露出させる開孔を形成する第3の工程と、

10 前記開孔内を含む前記保護膜の全面に第2の絶縁膜を堆積する第4の工程と、

前記保護膜をストッパーとして前記第2の絶縁膜の全面をエッチングし、前記開孔内の側壁面のみに前記第2の絶縁膜を残す第5の工程と、

前記開孔内を前記第2の絶縁膜を介して充填するとともに前記保護膜上に覆うように導電膜を形成する第6の工程と、

前記導電膜をパターンニングし、前記開孔を通じて前記一方の前記不純物拡散層と接続されるときに前記保護膜上に立設されるように島状の前記下部電極を形成する第7の工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項11】 前記第3の工程において、前記開孔の孔径をフォトリソグラフィーのほぼ露光限界の寸法とすることを特徴とする請求項10に記載の半導体記憶装置の製造方法。

【請求項12】 前記下部電極及び前記上部電極は、それぞれ多結晶シリコン膜からなることを特徴とする請求項10又は11に記載の半導体記憶装置の製造方法。

30 【請求項13】 前記保護膜がシリコン窒化膜であることを特徴とする請求項10～12のいずれか1項に記載の半導体記憶装置の製造方法。

【請求項14】 前記保護膜が多結晶シリコン膜であり、前記第7の工程において、前記導電膜と共に前記保護膜をパターンニングし、前記導電膜を隣接する前記下部電極間で分断することを特徴とする請求項10～12のいずれか1項に記載の半導体記憶装置の製造方法。

【請求項15】 前記第1の工程の前、前記アクセストランジスタを形成した後に、ビット線を形成する第8の工程を更に有し、

前記第3の工程において、前記開孔の近傍に前記ビット線が位置するか、或いは前記ビット線の側面が前記開孔の前記側壁面に露出するように当該開孔を形成し、前記第5の工程において、前記第2の絶縁膜で前記側壁面を覆うことにより、後に形成される前記下部電極と前記ビット線とを絶縁することを特徴とする請求項10～14のいずれか1項に記載の半導体記憶装置の製造方法。

50 【請求項16】 前記素子分離構造がLOCOS法によ

り形成されたフィールド酸化膜であることを特徴とする請求項 1 0 ~ 1 5 のいずれか 1 項に記載の半導体記憶装置の製造方法。

【請求項 1 7】 前記素子分離構造が絶縁膜内に導電膜が埋設されてなるフィールドシールド素子分離構造であることを特徴とする請求項 1 0 ~ 1 5 のいずれか 1 項に記載の半導体記憶装置の製造方法。

【請求項 1 8】 前記素子分離構造が前記半導体基板の素子分離領域に形成された溝内に絶縁膜が埋設されてなるトレンチ型素子分離構造であることを特徴とする請求項 1 0 ~ 1 5 のいずれか 1 項に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、半導体記憶装置及びその製造方法に関し、例えば、DRAM等のメモリキャパシタを有する半導体記憶装置に適用して特に好適なものである。

【 0 0 0 2 】

【従来の技術】近時では、半導体素子の微細化及び高集積化が進行している。それに伴って、フォトリソグラフィの解像技術はほぼ露光限界に達するほどに進歩しているものの、その一方でフォトリソグラフィのマスク合わせ技術は進歩が少ない現状にある。そこで、特開平 2 - 1 3 3 9 2 4 号公報のように、コンタクト孔を含むシリコン窒化膜上にシリコン酸化膜を堆積し、シリコン窒化膜をストッパーとしてシリコン酸化膜を異方性エッチングし、コンタクト孔の側壁面にサイドウォールを形成して、微細なコンタクト孔を形成する技術や、特開平 4 - 1 3 0 7 2 2 号公報のように、DRAMのビットコンタクト孔に特開平 2 - 1 3 3 9 2 4 号公報とほぼ同等の手法を用いる技術が開示されている。

【 0 0 0 3 】

【発明が解決しようとする課題】しかしながら、DRAMの微細化及び高集積化を更に進めるに際して、最もデザインルールが厳しいのは、メモリキャパシタの下部電極（ストレージノード電極）をアクセストランジスタのソース（又はドレイン）と接続するためのストレージコンタクト孔であり、特にストレージノード電極の下部にビット線が形成されてなるCOB（Capacitor Over Bit line）構造にDRAMが構成される場合には、ワード線のみならずビット線との短絡が発生しないようにストレージコンタクト孔を形成する必要がある。

【 0 0 0 4 】そこで、本発明の目的は、フォトリソグラフィの合わせ余裕を十分に確保し、ワード線やビット線との短絡のない下部電極を実現して、メモリキャパシタの高い信頼性を実現することを可能とする半導体記憶装置及びその製造方法を提供することである。

【 0 0 0 5 】

【課題を解決するための手段】本発明の半導体記憶装置

は、半導体基板上で素子分離構造により画定された素子活性領域に、ゲート及び一对の不純物拡散層を有するアクセストランジスタと、下部電極と上部電極とが誘電体膜を介して対向して容量結合するメモリキャパシタとを備えた半導体記憶装置であって、前記アクセストランジスタを覆う第 1 の絶縁膜及び前記第 1 の絶縁膜上に形成された保護膜を穿って一方の前記不純物拡散層の表面の一部を露出させる開孔が形成されているとともに、前記開孔の側壁面を覆う第 2 の絶縁膜が形成されており、前記メモリキャパシタの前記下部電極は、前記開孔を前記第 2 の絶縁膜を介して充填して前記一方の前記不純物拡散層と接続されるとともに、前記保護膜を介して前記第 1 の絶縁膜上に島状に立設されている。

【 0 0 0 6 】本発明の半導体記憶装置の一態様例においては、前記下部電極及び前記上部電極が、それぞれ多結晶シリコン膜からなる。

【 0 0 0 7 】本発明の半導体記憶装置の一態様例においては、前記開孔が、前記第 2 の絶縁膜が存することによりその孔径がフォトリソグラフィの露光限界以下の寸法とされている。

【 0 0 0 8 】本発明の半導体記憶装置の一態様例においては、前記保護膜がシリコン窒化膜である。

【 0 0 0 9 】本発明の半導体記憶装置の一態様例においては、前記保護膜が多結晶シリコン膜であり、当該保護膜が隣接する前記下部電極間で分断されている。

【 0 0 1 0 】本発明の半導体記憶装置の一態様例においては、前記下部電極の下部にビット線が形成されており、前記開孔の前記側壁面の少なくとも近傍に前記ビット線が位置し、前記第 2 の絶縁膜により前記下部電極と前記ビット線とが絶縁されている。

【 0 0 1 1 】本発明の半導体記憶装置の一態様例においては、前記素子分離構造がLOCOS法により形成されたフィールド酸化膜である。

【 0 0 1 2 】本発明の半導体記憶装置の一態様例においては、前記素子分離構造が絶縁膜内に導電膜が埋設されてなるフィールドシールド素子分離構造である。

【 0 0 1 3 】本発明の半導体記憶装置の一態様例においては、前記素子分離構造が前記半導体基板の素子分離領域に形成された溝内に絶縁膜が埋設されてなるトレンチ型素子分離構造である。

【 0 0 1 4 】本発明の半導体記憶装置の製造方法は、半導体基板上で素子分離構造により画定された素子活性領域に、ゲート及び一对の不純物拡散層を有するアクセストランジスタと、下部電極と上部電極とが誘電体膜を介して対向して容量結合するメモリキャパシタとを備えた半導体記憶装置の製造方法であって、前記アクセストランジスタを覆う第 1 の絶縁膜を形成する第 1 の工程と、前記第 1 の絶縁膜上に保護膜を形成する第 2 の工程と、前記第 1 の絶縁膜及び前記保護膜をパターニングし、一方の前記不純物拡散層の表面の一部を露出させる開孔を

形成する第3の工程と、前記開孔内を含む前記保護膜の全面に第2の絶縁膜を堆積する第4の工程と、前記保護膜をストッパーとして前記第2の絶縁膜の全面をエッチングし、前記開孔内の側壁面のみ前記第2の絶縁膜を残す第5の工程と、前記開孔内を前記第2の絶縁膜を介して充填するとともに前記保護膜上を覆うように導電膜を形成する第6の工程と、前記導電膜をパターンニングし、前記開孔を通じて前記一方の前記不純物拡散層と接続されるとともに前記保護膜上に立設されるように島状の前記下部電極を形成する第7の工程とを有する。

【0015】本発明の半導体記憶装置の製造方法の一態様例においては、前記第3の工程において、前記開孔の孔径をフォトリソグラフィーのほぼ露光限界の寸法とする。

【0016】本発明の半導体記憶装置の製造方法の一態様例においては、前記下部電極及び前記上部電極が、それぞれ多結晶シリコン膜からなる。

【0017】本発明の半導体記憶装置の製造方法の一態様例においては、前記保護膜がシリコン窒化膜である。

【0018】本発明の半導体記憶装置の製造方法の一態様例においては、前記保護膜が多結晶シリコン膜であり、前記第7の工程において、前記導電膜と共に前記保護膜をパターンニングし、前記導電膜を隣接する前記下部電極間で分断する。

【0019】本発明の半導体記憶装置の製造方法の一態様例においては、前記第1の工程の前、前記アクセストランジスタを形成した後に、ビット線を形成する第8の工程を更に有し、前記第3の工程において、前記開孔の近傍に前記ビット線が位置するか、或いは前記ビット線の側面が前記開孔の前記側壁面に露出するように当該開孔を形成し、前記第5の工程において、前記第2の絶縁膜で前記側壁面を覆うことにより、後に形成される前記下部電極と前記ビット線とを絶縁する。

【0020】本発明の半導体記憶装置の製造方法の一態様例においては、前記素子分離構造がLOCOS法により形成されたフィールド酸化膜である。

【0021】本発明の半導体記憶装置の製造方法の一態様例においては、前記素子分離構造が絶縁膜内に導電膜が埋設されてなるフィールドシールド素子分離構造である。

【0022】本発明の半導体記憶装置の製造方法の一態様例においては、前記素子分離構造が前記半導体基板の素子分離領域に形成された溝内に絶縁膜が埋設されてなるトレンチ型素子分離構造である。

【0023】

【作用】本発明の半導体記憶装置の製造方法においては、開孔の側壁面を覆うように第2の絶縁膜を形成することにより、例えば当該開孔をフォトリソグラフィーの露光限界程度の寸法に形成すれば、開孔はその孔径が実質的にこの露光限界以下の値に形成される。しかもこの

場合、第1の絶縁膜上にシリコン窒化膜や多結晶シリコン膜等の保護膜が形成されており、この保護膜をストッパーとして第2の絶縁膜を異方性エッチングして開孔の側壁面に残してサイドウォールを形成する。従って、メモリキャパシタの下部電極をパターン形成した際に、保護膜下には第1の絶縁膜が異方性エッチングの影響を受けることなく存するため、前記開孔と近接する導電部材、例えばビット線やゲート電極と下部電極との間に十分な絶縁が確保されることになる。

【0024】

【発明の実施の形態】以下、本発明に係る半導体記憶装置及びその製造方法のいくつかの具体的な実施形態について、図面を参照しながら詳細に説明する。これらの実施形態においては、半導体記憶装置としてアクセストランジスタ及びメモリキャパシタを有し、このメモリキャパシタが実質的にビット線の上層に形成される所謂COB (Capacitor Over Bitline) 構造のDRAMを例示し、その構成を製造方法とともに説明する。

【0025】(第1の実施形態) 先ず、第1の実施形態について説明する。図1～図3は、第1の実施形態のDRAMの製造方法を工程順に示す概略断面図である。図1～図3の各図において、左側がゲート電極(ワード線)に垂直な方向に沿った断面、右側がビット線に垂直な方向に沿った断面をそれぞれ表す。

【0026】初めに、図1(a)に示すように、例えばp型のシリコン半導体基板1の素子活性領域2上に、アクセストランジスタを形成する。具体的には、先ず、素子分離構造として所謂LOCOS法によりフィールド酸化膜3を形成して素子活性領域2を画定する。

【0027】次いで、フィールド酸化膜3により互いに分離されて相対的に画定された素子活性領域2のシリコン半導体基板1における表面に熱酸化を施してシリコン酸化膜を形成し、続いてCVD法によりn型不純物、例えばリン(P)がドーパされた多結晶シリコン膜を堆積形成する。

【0028】次いで、シリコン酸化膜及び多結晶シリコン膜をフォトリソグラフィー及びそれに続くドライエッチングによりパターンニングして、素子活性領域2にシリコン酸化膜及び多結晶シリコン膜を電極形状に残してゲート酸化膜4及びゲート電極(ワード線)5を形成する。

【0029】次いで、ゲート電極5をマスクとして、ゲート電極5の両側のシリコン半導体基板1の表面領域にイオン注入によりn型不純物、例えばリン(P)を導入し、ソース/ドレインとなる一対の不純物拡散層7を形成して、ゲート電極5及び一対の不純物拡散層7を有するアクセストランジスタを完成させる。

【0030】次いで、図1(b)に示すように、フィールド酸化膜3を含むシリコン半導体基板1の全面にCVD法によりシリコン酸化膜を堆積し、層間絶縁膜8を形

成する。

【0031】次いで、層間絶縁膜8上に一方の不純物拡散層7（ドレインとなる）と導通するビット線6をゲート電極5とほぼ直交するようにパターン形成し、これら層間絶縁膜8及びビット線6上にシリコン酸化膜11をCVD法により膜厚100nm程度に堆積形成する。続いて、このシリコン酸化膜11上に、シリコン窒化膜12をCVD法により膜厚10～50nm程度に堆積形成する。

【0032】次いで、図1(c)に示すように、シリコン窒化膜12上にフォトリソグラフィによりレジストマスク9を形成した後、シリコン窒化膜12、シリコン酸化膜11及び層間絶縁膜8をドライエッチングによりパターンニングして、他方の不純物拡散層7（ソースとなる）の表面の一部を露出させるストレージコンタクト孔13を形成する。このストレージコンタクト孔13は、深さが500～1200nm程度、孔径が200～400nm程度とされており、その側壁面には、ゲート電極5の一側面が露出したり（図1(c)の左図参照）、ビット線6の一側面が露出したり（図1(c)の右図参照）する場合がある。なお、エッチングは、平行平板型RIE装置を用いて、 CHF_3 : 20ccm, CF_4 : 10ccm, Ar : 200ccmのガス流量で、投入RFパワーを800W、圧力を27Pa、シリコン窒化膜対シリコン酸化膜の選択比を2とする各条件下で行った。

【0033】次いで、図2(a)に示すように、パターンニングに用いたレジストマスク9を灰化処理して除去した後、ストレージコンタクト孔13内を含むシリコン窒化膜12の全面にシリコン酸化膜14を膜厚100～200nm程度に堆積形成する。

【0034】次いで、図2(b)に示すように、このシリコン酸化膜14の全面をシリコン窒化膜12をストッパーとして異方性エッチングして、ストレージコンタクト孔13の側壁面のみシリコン酸化膜14を残してサイドウォール15を膜厚70～180nm程度に形成する。このサイドウォール15を形成することにより、ストレージコンタクト孔13を形成する際に、図1(c)に示すようにストレージコンタクト孔13の側壁面からゲート電極5やビット線6の一部が露出しても、当該露出部位がサイドウォール15に完全に覆われ、DRAMのメモセルの微細化が進むにつれてゲート電極5やビット線6と後に形成されるストレージノード電極21との間に発生しがちな短絡が抑止される。なお、異方性エッチングは、平行平板型RIE装置を用いて、 CHF_3 : 20ccm, CF_4 : 10ccm, Ar : 200ccm, CO : 80ccm, C_2F_6 : 20ccmのガス流量で、投入RFパワーを800W、圧力を27Pa、シリコン窒化膜対シリコン酸化膜の選択比を10とする各条件下で行った。

【0035】次いで、図2(c)に示すように、ストレージコンタクト孔13内を充填するようにシリコン窒化膜12上にCVD法によりn型不純物、例えばリン(P)をドーブした多結晶シリコン膜16を膜厚100nm程度に堆積形成する。

【0036】次いで、図3(a)に示すように、シリコン窒化膜12をストッパーとして、多結晶シリコン膜16にフォトリソグラフィ及びそれに続くドライエッチングを施して、多結晶シリコン膜16を所定の電極形状にパターンニングする。このとき、ストレージコンタクト孔13を通じてソースとなる不純物拡散層7と接続されるとともに、シリコン窒化膜12上で所定の島状となるストレージノード電極21が形成される。

【0037】次いで、パターンニングに用いたフォトリソストを灰化処理により除去した後、図3(b)に示すように、ストレージノード電極21の表面、即ちストレージコンタクト孔13の上方部位に存するストレージノード電極21の表面に、各々所定膜厚のシリコン酸化膜、シリコン窒化膜及びシリコン酸化膜を形成して、前記表面を覆うONO膜からなる誘電体膜22を形成する。

【0038】次いで、ストレージノード電極21を覆うように多結晶シリコン膜を堆積形成し、誘電体膜22を介してストレージノード電極21の前記表面と対向するセルプレート電極23を形成し、ストレージノード電極21、誘電体膜22及びセルプレート電極23を有して構成されるメモリキャパシタを完成させる。

【0039】しかる後、図示は省略したが、更なる層間絶縁膜の形成、ビア孔の形成やそれに続く配線層の形成、メモセル部の周辺回路部の形成（この周辺回路部はメモセル部とともに順次形成される場合が多い。）等の諸工程を経て、DRAMを完成させる。

【0040】上述のように、本発明の第1の実施形態においては、ストレージコンタクト孔13の側壁面を覆うようにサイドウォール15を形成することにより、例えばストレージコンタクト孔13をフォトリソグラフィの露光限界程度の寸法に形成すれば、ストレージコンタクト孔13はその孔径が実質的にこの露光限界以下の値に形成される。しかもこの場合、シリコン酸化膜11上に保護膜となるシリコン窒化膜12が形成されており、このシリコン窒化膜12をストッパーとしてシリコン酸化膜14を異方性エッチングしてストレージコンタクト孔13の側壁面に残してサイドウォール15を形成する。従って、メモリキャパシタのストレージノード電極21をパターン形成した際に、保護膜であるシリコン窒化膜12下にはシリコン酸化膜11が異方性エッチングの影響を受けることなく存し、シリコン窒化膜対シリコン酸化膜の低選択性が要求されるシリコン酸化膜のエッチングについても、必要とされるエッチング量がストレージコンタクト孔13の深さではなくシリコン酸化膜14の膜厚で決まるために選択比5以下と低く、ストレージ

ジノード電極21と近接する導電部材、例えばゲート電極5やビット線6とストレージノード電極21との間に十分な絶縁が確保されることになる。

【0041】即ち、第1の実施形態によれば、フォトリソグラフィの合わせ余裕を十分に確保し、ゲート電極5やビット線6との短絡のないストレージノード電極21を実現して、メモリキャパシタの高い信頼性を実現することが可能となり、更なる半導体素子の微細化及び高集積化に対応することができる。

【0042】(第2の実施形態) 続いて、本発明の第2の実施形態について説明する。この第2の実施形態においては、既述した第1の実施形態と同様に、COB構造のDRAMについて製造方法と共に説明するが、シリコン酸化膜11上に形成される保護膜が異なる点で第1の実施形態と相違する。なお、第1の実施形態のDRAMに対応する構成部材等については同一の符号を記して説明を省略する。図4～図6は、第2の実施形態のDRAMの製造方法を工程順に示す概略断面図である。図4～図6の各図において、左側がゲート電極(ワード線)に垂直な方向に沿った断面、右側がビット線に垂直な方向に沿った断面をそれぞれ表す。

【0043】先ず、第1の実施形態と同様に、LOCOS法によりフィールド酸化膜3をけしてシリコン半導体基板1上に素子活性領域2を画定した後、当該素子活性領域2にゲート電極5(及びゲート酸化膜4)、一對の不純物拡散層7を備えたアクセストランジスタを形成し、層間絶縁膜8、ビット線6及びそれを覆うシリコン酸化膜11を順次形成する。

【0044】次いで、図4(a)に示すように、シリコン酸化膜11上に、n型不純物、例えばリンをドーブした多結晶シリコン膜24をCVD法により膜厚()～() nm程度に堆積形成する。

【0045】次いで、図4(b)に示すように、フォトリソグラフィによりレジストマスク9を形成した後、多結晶シリコン膜24、シリコン酸化膜11及び層間絶縁膜8をドライエッチングによりパターニングして、他方の不純物拡散層7(ソースとなる)の表面の一部を露出させるストレージコンタクト孔13を形成する。このストレージコンタクト孔13は、深さが500～1200 nm程度、孔径が200～400 nm程度とされており、その側壁面には、ゲート電極5の一側面が露出したり(図4(b)の左図参照)、ビット線6の一側面が露出したり(図4(b)の右図参照)する場合がある。

【0046】次いで、図4(c)に示すように、パターニングに用いたフォトリソレジストを灰化処理して除去した後、ストレージコンタクト孔13内を含む多結晶シリコン膜24の全面にシリコン酸化膜14を膜厚100～200 nm程度に堆積形成する。

【0047】次いで、図5(a)に示すように、このシリコン酸化膜14の全面を多結晶シリコン膜24をスト

ッパーとして異方性エッチングして、ストレージコンタクト孔13の側壁面のみシリコン酸化膜14を残してサイドウォール15を膜厚70～180 nm程度に形成する。このサイドウォール15を形成することにより、ストレージコンタクト孔13を形成する際に、図4

(b)に示すようにストレージコンタクト孔13の側壁面からゲート電極5やビット線6の一部が露出しても、当該露出部位がサイドウォール15に完全に覆われ、DRAMのメモリセルの微細化が進むにつれてゲート電極5やビット線6と後に形成されるストレージノード電極21との間に発生しがちな短絡が抑止される。

【0048】次いで、図5(b)に示すように、ストレージコンタクト孔13内を充填するように多結晶シリコン膜24上にCVD法によりn型不純物、例えばリンをドーブした多結晶シリコン膜16を膜厚100 nm程度に堆積形成する。

【0049】次いで、図6(a)に示すように、シリコン酸化膜11をストップパースとして、多結晶シリコン膜16、24にフォトリソグラフィ及びそれに続くドライエッチングを施して、多結晶シリコン膜16、24を所定の電極形状にパターニングする。このとき、ストレージコンタクト孔13を通じてソースとなる不純物拡散層7と接続されるとともに、各々分断された多結晶シリコン膜24と多結晶シリコン膜16とが一体となって所定の島状のストレージノード電極21が形成される。

【0050】次いで、図6(b)に示すように、ストレージノード電極21の表面、即ちストレージコンタクト孔13の上方部位に存するストレージノード電極21の表面に、各々所定膜厚のシリコン酸化膜、シリコン窒化膜及びシリコン酸化膜を形成して、前記表面を覆うONO膜からなる誘電体膜22を形成する。

【0051】次いで、ストレージノード電極21を覆うように多結晶シリコン膜を堆積形成し、誘電体膜22を介してストレージノード電極21の前記表面と対向するセルプレート電極23を形成し、ストレージノード電極21、誘電体膜22及びセルプレート電極23を有して構成されるメモリキャパシタを完成させる。

【0052】しかる後、図示は省略したが、更なる層間絶縁膜の形成、ビア孔の形成やそれに続く配線層の形成、メモリセル部の周辺回路部の形成(この周辺回路部はメモリセル部とともに順次形成される場合が多い。)等の諸工程を経て、DRAMを完成させる。

【0053】上述のように、本発明の第2の実施形態においては、ストレージコンタクト孔13の側壁面を覆うようにサイドウォール15を形成することにより、例えばストレージコンタクト孔13をフォトリソグラフィの露光限界程度の寸法に形成すれば、ストレージコンタクト孔13はその孔径が実質的にこの露光限界以下の値に形成される。しかもこの場合、シリコン酸化膜11上に保護膜となる多結晶シリコン膜24が形成されてお

り、この多結晶シリコン膜24をストッパーとしてシリコン酸化膜14を異方性エッチングしてストレージコンタクト孔13の側壁面に残してサイドウォール15を形成する。従って、メモリキャパシタのストレージノード電極21をパターン形成した際に、保護膜である多結晶シリコン膜24下にはシリコン酸化膜11が異方性エッチングの影響を殆ど受けることなく存するため、ストレージノード電極21と近接する導電部材、例えばゲート電極5やビット線6とストレージノード電極21との間に十分な絶縁が確保されることになる。

【0054】即ち、第2の実施形態によれば、フォトリソグラフィーの合わせ余裕を十分に確保し、ゲート電極5やビット線6との短絡のないストレージノード電極21を実現して、メモリキャパシタの高い信頼性を実現することが可能となり、更なる半導体素子の微細化及び高集積化に対応することができる。

【0055】なお、第1及び第2の実施形態では、シリコン半導体基板1上に素子活性領域2を画定する際に、素子分離構造としてフィールド酸化膜3を形成したが、図1(a)に示すフィールド酸化膜3の代わりに、図7に示すように、フィールドシールド素子分離法により、フィールドシールドゲート酸化膜31上に多結晶シリコン膜からなるシールドプレート電極32及びそのキャップ絶縁膜33をパターン形成し、これらシールドプレート電極32及びそのキャップ絶縁膜33の側面にサイドウォール34を形成し、酸化膜内にシールドプレート電極32が埋設されてなるフィールドシールド素子分離構造41を形成してもよい。このフィールドシールド素子分離構造41は、シールドプレート電極32により直下のシリコン半導体基板1の部位を所定電位に固定して素子分離を行う素子分離構造であり、半導体素子の更なる微細化に寄与するものである。なお、フィールドシールド素子分離構造41を用いたDRAMの図3(b)に対応する完成状態を図8に示す。ここで、図7及び図8は、便宜上第1の実施形態のDRAMに対応した図とされている。

【0056】また、第1及び第2の実施形態では、シリコン半導体基板1上に素子活性領域2を画定する際に、素子分離構造としてフィールド酸化膜3を形成したが、図1(a)に示すフィールド酸化膜3の代わりに、図9に示すように、シリコン半導体基板1の素子分離領域に溝42を形成し、この溝42内をシリコン酸化膜等の素子分離用絶縁膜43で充填して、トレンチ型素子分離構造(STI)51を形成してもよい。このトレンチ型素子分離構造51は、半導体素子の更なる微細化に寄与するものである。なお、トレンチ型素子分離構造51を用いたDRAMの図3(b)に対応する完成状態を図10に示す。ここで、図9及び図10は、便宜上第1の実施形態のDRAMに対応した図とされている。

【0057】なお、第1及び第2の実施形態では、CO

B構造のDRAMについて説明したが、本発明は勿論これに限定されることなく、例えばメモリキャパシタが実質的にビット線の下層に形成されている所謂CUB(Capacitor Under Bitline)構造のDRAMにも当然のことながら適用可能である。

【0058】

【発明の効果】本発明によれば、フォトリソグラフィーの合わせ余裕を十分に確保し、ワード線やビット線との短絡のない下部電極を実現して、メモリキャパシタの高い信頼性を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態におけるDRAMの製造方法を工程順に示す概略断面図である。

【図2】図1に引き続き、第1の実施形態におけるDRAMの製造方法を工程順に示す概略断面図である。

【図3】図2に引き続き、第1の実施形態におけるDRAMの製造方法を工程順に示す概略断面図である。

【図4】本発明の第2の実施形態におけるDRAMの製造方法を工程順に示す概略断面図である。

【図5】図4に引き続き、本発明の第2の実施形態におけるDRAMの製造方法を工程順に示す概略断面図である。

【図6】図5に引き続き、本発明の第2の実施形態におけるDRAMの製造方法を工程順に示す概略断面図である。

【図7】第1の実施形態(及び第2の実施形態)のDRAMの製造工程において、素子分離構造がフィールドシールド素子分離構造として形成された場合を示す概略断面図である。

【図8】素子分離構造がフィールドシールド素子分離構造として形成された場合の最終工程の様子を示す概略断面図である。

【図9】第1の実施形態(及び第2の実施形態)のDRAMの製造工程において、素子分離構造をトレンチ型素子分離構造として形成した場合を示す概略断面図である。

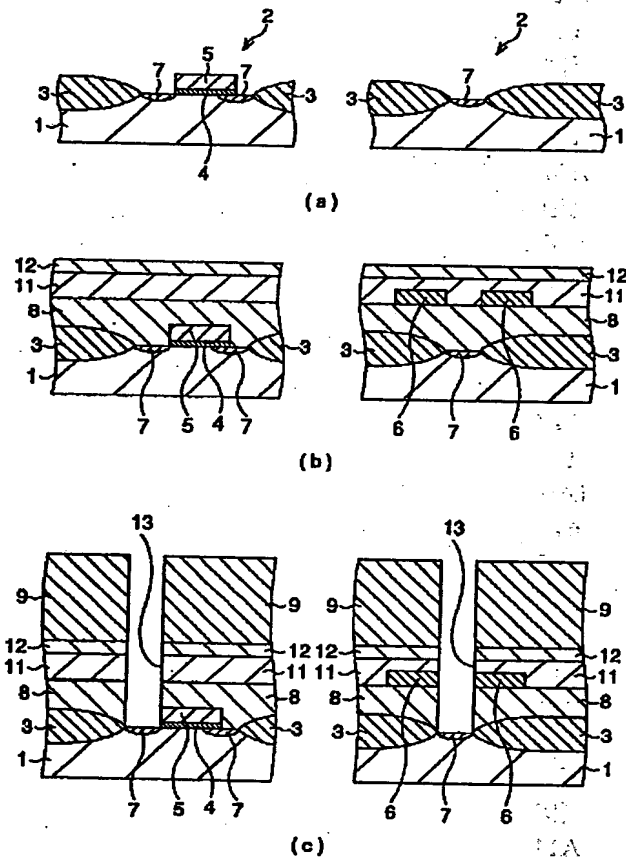
【図10】素子分離構造をトレンチ型素子分離構造として形成した場合の最終工程の様子を示す概略断面図である。

【符号の説明】

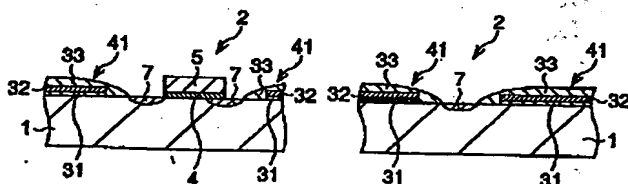
- 1 シリコン半導体基板
- 2 素子分離構造
- 3 フィールド酸化膜
- 4 ゲート酸化膜
- 5 ゲート電極
- 6, 16 サイドウォール
- 7 不純物拡散層
- 8 層間絶縁膜
- 11, 14 シリコン酸化膜
- 12 シリコン窒化膜

- 13 ストレージコンタクト孔
 15, 34 サイドウォール
 16, 24 多結晶シリコン膜
 21 ストレージノード電極
 22 誘電体膜
 23 セルプレート電極
 31 フィールドシールドゲート酸化膜

【図1】



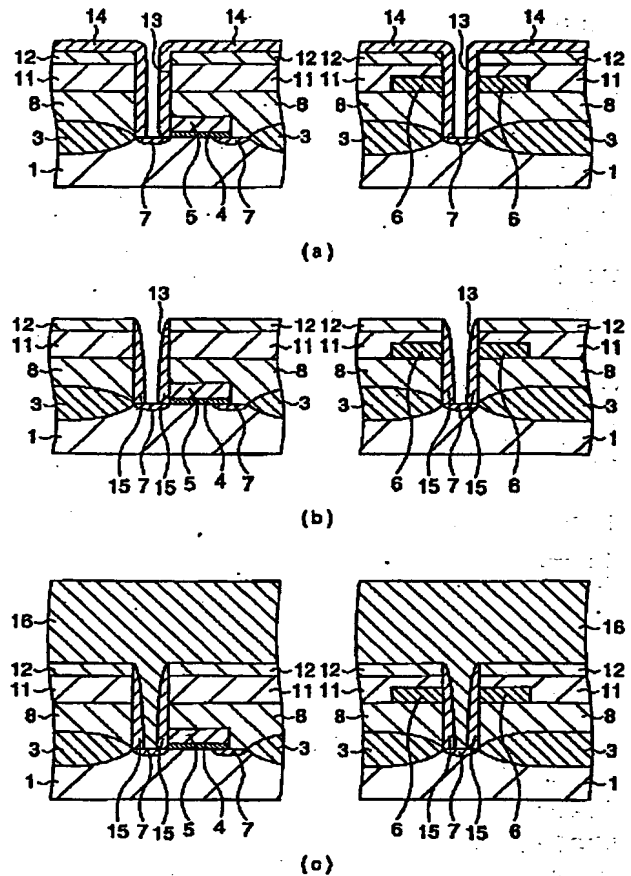
【図7】



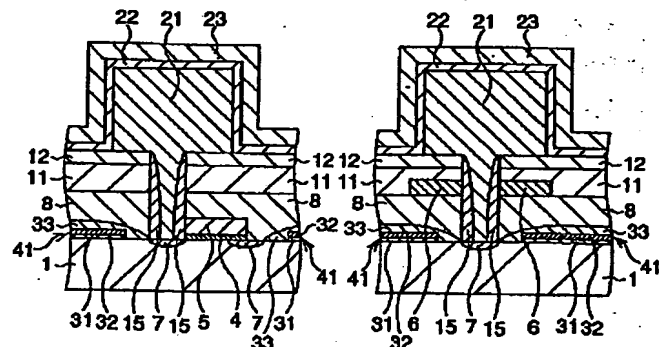
14

- 32 シールドプレート電極
 33 キャップ絶縁膜
 41 フィールドシールド素子分離構造
 42 溝
 43 素子分離用絶縁膜
 51 トレンチ型素子分離構造

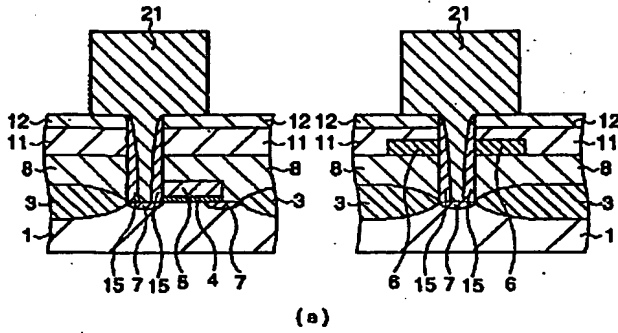
【図2】



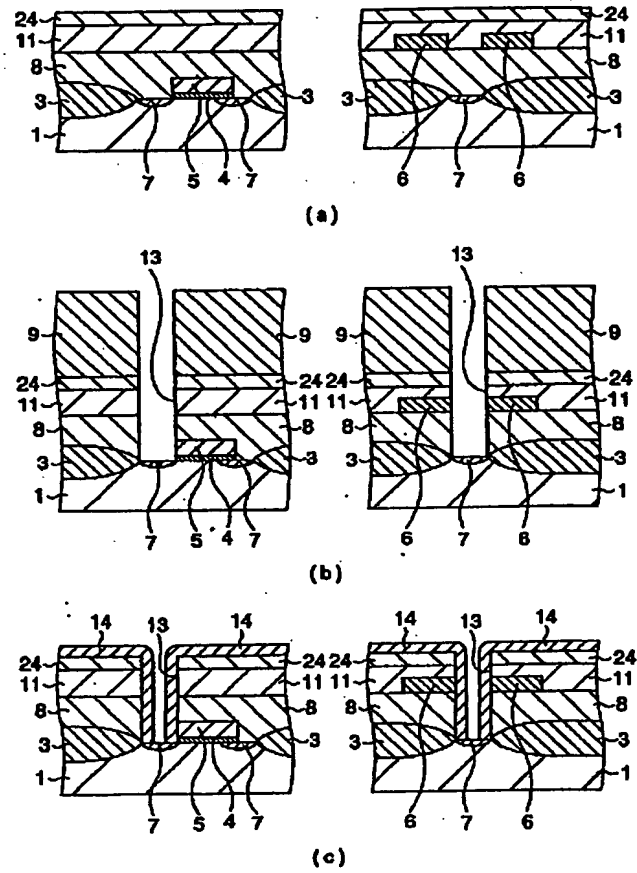
【図8】



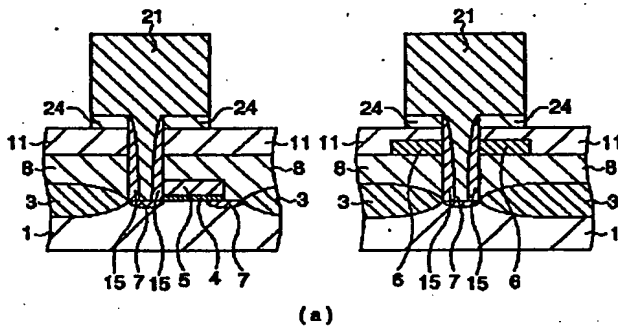
【図3】



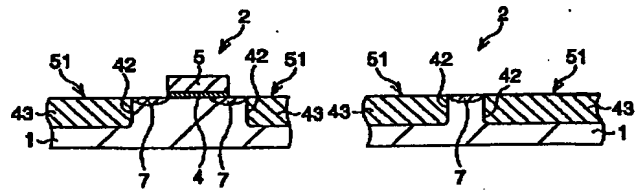
【図4】



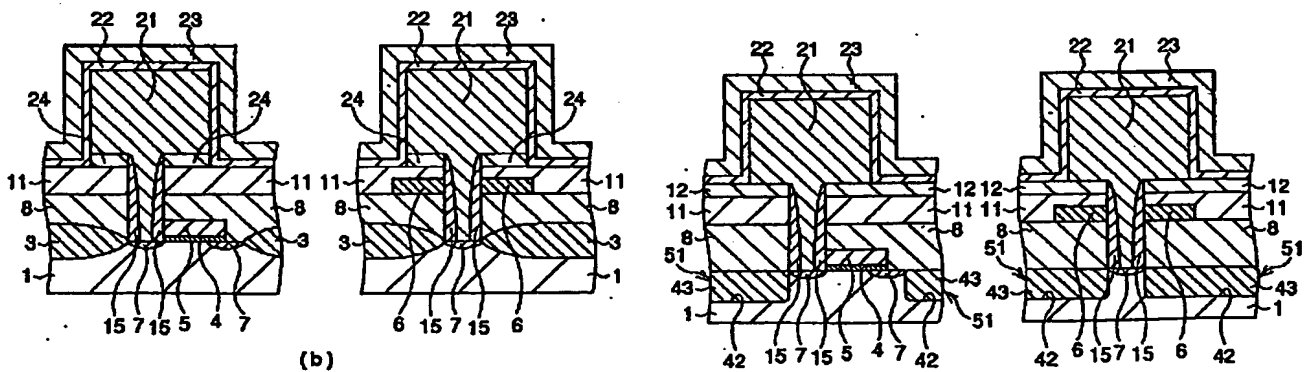
【図6】



【図9】



【図10】



【図5】

